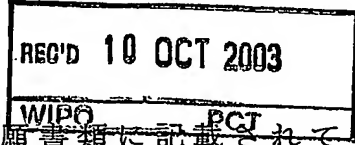


日 本 国 特 許 庁  
JAPAN PATENT OFFICE

22.08.03



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 8 月 2 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 2 4 8 3 7 4  
[ST. 10/C]: [ J P 2 0 0 2 - 2 4 8 3 7 4 ]

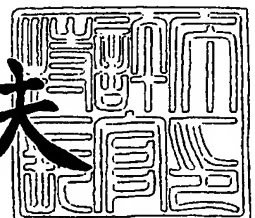
出 願 人  
Applicant(s): 株式会社豊田自動織機  
新潟精密株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 3 年 9 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2002TJ003

【提出日】 平成14年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00  
H03B 5/00

【発明者】

【住所又は居所】 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内

【氏名】 加藤 伊三美

【発明者】

【住所又は居所】 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内

【氏名】 宮城 弘

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振回路

【特許請求の範囲】

【請求項 1】 インダクタンスと可変容量素子を有し、目的とする周波数の  $n$  倍の周波数の信号を生成する発振部と、

前記発振部により生成される信号を  $1/n$  に分周する分周回路とを備え、

前記インダクタンスと可変容量素子を含む発振部及び分周回路を半導体集積回路基板上に形成した発振回路。

【請求項 2】 インダクタンスと可変容量素子を有し、目的とする周波数の  $n$  倍の周波数の信号を生成する発振部と、

前記発振部の発振周波数を制御する制御電圧を生成して前記発振部に出力する制御電圧生成回路と、

前記発振部により生成される信号を  $1/n$  に分周する分周回路とを備え、

前記インダクタンスと可変容量素子を含む発振部、制御電圧生成回路及び分周回路を半導体集積回路基板上に形成した発振回路。

【請求項 3】 前記発振部は、複数の MOSFET と、インダクタンスと、可変容量素子とからなる請求項 1 または 2 記載の発振回路。

【請求項 4】 前記発振部は、複数の MOSFET と、インダクタンスと、可変容量素子とからなり、

前記制御電圧生成回路は、前記可変容量素子の容量を変化させる制御電圧を該可変容量素子に出力して前記発振部の発振周波数を制御する請求項 2 記載の発振回路。

【請求項 5】 前記発振部は、第 1 及び第 2 の MOSFET と、インダクタンスと、可変容量素子とからなり、

前記第 1 の MOSFET のソースまたはドレインに前記インダクタンスと可変容量素子が接続され、前記第 1 の MOSFET のゲートに前記第 2 の MOSFET のソースまたはドレインが接続され、前記第 2 の MOSFET のゲートに前記第 1 の MOSFET のソースまたはドレインが接続される請求項 1, 2, 3 または 4 記載の発振回路。

【請求項6】 前記発振部は、第1及び第2のMOSFETと、インダクタンスと、コンデンサと、可変容量素子とからなり、

前記第1のMOSFETのソースまたはドレインに前記インダクタンスが接続され、前記第1のMOSFETのゲートに前記第2のMOSFETのソースまたはドレインが接続され、前記第2のMOSFETのゲートに前記第1のMOSFETのソースまたはドレインが接続され、前記第1のMOSFETのソースまたはドレインに前記コンデンサを介して前記可変容量素子が接続され、

前記可変容量素子に前記制御電圧生成回路から出力される制御電圧を供給し、該可変容量素子の容量を変化させて発振周波数を制御する請求項1乃至4の何れか1つに記載の発振回路。

【請求項7】 前記可変容量素子をMOSFETで構成した請求項1乃至6の何れか1つに記載の発振回路。

【請求項8】 前記制御電圧生成回路は、前記発振部で生成される信号を分周した信号と基準信号との位相差を検出し、位相差に応じた制御電圧を出力する請求項2乃至7の何れか1つに記載の発振回路。

【請求項9】 前記制御電圧生成回路は、プログラマブルカウンタと、該プログラマブルカウンタの出力信号と基準信号との位相を比較する位相検波回路と、該位相検波回路の出力の高域成分を阻止し直流の制御電圧を前記発振部に出力するローパスフィルタとからなるPLLシンセサイザ回路である請求項1乃至8の何れか1つに記載の発振回路。

【請求項10】 前記分周回路はデューティ比50%の分周回路を含む請求項1乃至9の何れか1つに記載の発振回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、無線送信機及び受信機等の発振回路に関する。

##### 【0002】

#### 【従来技術】

AM受信機、FM受信機などにおいては、受信信号に対して一定の周波数差を

有する信号を局部発振回路で生成し、受信信号と局部発振信号を混合し所定の中間周波数信号に変換している。

#### 【0003】

AM受信機、FM受信機の回路をIC化する場合でも、局部発振回路は、所望の発振周波数の信号を得るためのコンデンサの容量やインダクタンスの値が大きな値となるためコンデンサやインダクタンスをIC内部に形成することが難しく、受信機用ICの搭載される基板に外付けしていた。

#### 【0004】

##### 【発明が解決しようとする課題】

そのため、受信機、あるいは送信機用ICと別に外付部品が必要となり、部品コスト、組立てコストが高くなるという問題点があった。さらに、基板上にコンデンサとコイル等を実装するスペースが必要となるので基板のサイズも大きくなるという問題点があった。

#### 【0005】

本発明の課題は、半導体集積回路上に作成される発振回路の外付け部品を減らすことである。

#### 【0006】

##### 【課題を解決するための手段】

本発明の発振回路は、インダクタンスと可変容量素子を有し、目的とする周波数の $n$ 倍の周波数の信号を生成する発振部と、前記発振部により生成される信号を $1/n$ に分周する分周回路とを備え、前記インダクタンスと可変容量素子を含む発振部及び分周回路を半導体集積回路基板上に形成した。

#### 【0007】

本発明の他の発振回路は、インダクタンスと可変容量素子を有し、目的とする周波数の $n$ 倍の周波数の信号を生成する発振部と、前記発振部の発振周波数を制御する制御電圧を生成して前記発振部に出力する制御電圧生成回路と、前記発振部により生成される信号を $1/n$ に分周する分周回路とを備え、前記インダクタンスと可変容量素子を含む発振部、制御電圧生成回路及び分周回路を半導体集積回路基板上に形成した。

## 【0008】

上記の発明によれば、可変容量素子及びインダクタンスを含む発振回路の部品を半導体集積回路基板上に形成することができる。これにより、半導体集積回路基板上に形成される発振回路のインダクタンスと可変容量素子を外付けする必要がなくなるので、部品コスト及び組立てコストを低減できる。また、発振回路の部品を半導体集積回路基板上に形成し外付け部品をなくすことで、半導体集積回路が実装される基板を小型化できる。

## 【0009】

上記の発明において、前記発振部は、複数のMOSFETと、インダクタンスと、可変容量素子とからなる。

このように構成することで、発振回路のインダクタンスと可変容量素子を半導体集積回路基板上に形成することができる。

## 【0010】

上記の発明において、前記発振部は、複数のMOSFETと、インダクタンスと、コンデンサと、可変容量素子とからなり、前記制御電圧生成回路は、前記可変容量素子の容量を変化させる制御電圧を該可変容量素子に出力して前記発振部の発振周波数を制御する。

## 【0011】

このように構成することで、制御電圧生成回路から出力される制御電圧により可変容量素子の容量を変化させることで、発振部の発振周波数を目的とする周波数の $n$ 倍の周波数に制御することができる。

上記の発明において、前記発振部は、第1及び第2のMOSFETと、インダクタンスと、コンデンサと、可変容量素子とからなり、前記第1のMOSFETのソースまたはドレインにインダクタンスとコンデンサが接続され、前記第1のMOSFETのゲートに前記第2のMOSFETのソースまたはドレインが接続され、前記第2のMOSFETのゲートに前記第1のMOSFETのソースまたはドレインが接続され、前記第1のMOSFETのソースまたはドレインに前記コンデンサを介して前記可変容量素子が接続されている。

## 【0012】

このように構成することで、発振部を第1及び第2のMOSFET、インダクタンス、コンデンサ及び可変容量素子を半導体集積回路基板上に形成することができる。

上記の発明において、前記可変容量素子に前記制御電圧生成回路から出力される制御電圧を供給し、該可変容量素子の容量を変化させて発振周波数を制御する。

#### 【0013】

このように構成することで、制御電圧生成回路から出力される制御電圧を変化させて発振部の発振周波数を目的とする周波数の $n$ 倍の周波数に設定することができる。

上記の発明において、前記可変容量素子をMOSFETで作成する。

#### 【0014】

このように構成することで、半導体集積回路基板上に可変容量素子を作成できる。

上記の発明において、前記制御電圧生成回路は、前記発振部で生成される信号を分周した信号と基準信号との位相差を検出し、位相差に応じた制御電圧を出力する。

#### 【0015】

このように構成することで、発振部で生成される目的とする周波数の $n$ 倍の周波数の信号の位相を基準信号の位相と同期させることができるので、発振部の発振周波数の精度を基準信号の周波数精度まで高めることができる。

上記の発明において、前記制御電圧生成回路は、プログラマブルカウンタと、該プログラマブルカウンタから出力される信号と基準信号との位相を比較する位相検波回路と、該位相検波回路から出力される信号の高域成分を阻止し直流の制御電圧を前記発振部に出力するローパスフィルタとからなるPLLシンセサイザ回路で構成される。

#### 【0016】

このように構成することで、発振部の発振周波数の精度を基準信号の周波数精度まで高めることができる。また、プログラマブルカウンタに設定する分周比を



指定するデータを変更することで発振周波数を任意に設定できる。

上記の発明において、前記分周回路は、デューティ比 50% の分周回路を含む。

#### 【0017】

このように構成することで、分周回路で  $1/n$  に分周された信号の高調波を奇数次の高調波成分のみにできる。これにより、例えば、 $1/n$  の周波数の信号により受信信号を中間周波信号に変換したときに、後段のフィルタは奇数次の高調波のみを除去すればよいのでフィルタの構成が簡単になり、半導体集積回路基板上に形成するフィルタの面積を少なくできる。

#### 【0018】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。図 1 は、本発明の実施の形態の AM、FM 受信機用 IC の発振部の回路構成を示す図である。この AM、FM 受信機用 IC は CMOS プロセスにより製造される。

#### 【0019】

図 1 に示すように、2 個の P チャネル MOSFET (MOS トランジスタ) 12, 13 のゲート G は、互いに相手のドレイン D に接続され、ソース S は定電流源 14 に共通に接続されている。定電流源 14 の他端は電源 V<sub>d</sub> に接続されている。

#### 【0020】

MOSFET 12 のドレイン D にはインダクタンス (インダクタ、コイル) L1 とコンデンサ C1 が接続され、インダクタンス L1 の他端は接地され、コンデンサ C1 の他端は、MOSFET 15 で構成された電圧制御型可変容量素子 (可変容量素子) に接続されている。可変容量素子としてバラクタダイオードを用いても良い。インダクタンス L1 は、例えば、MOS 集積回路基板上に多角形の渦巻状の配線パターンを形成して作成する。

#### 【0021】

MOSFET 13 のドレイン D は接地されている。また、MOSFET 13 のゲート G は、MOSFET 12 のドレイン D (インダクタンス L1 との接続点)

と接続されている。

MOSFET 12 のドレイン D にはコンデンサ C 1 が接続され、そのコンデンサ C 1 の他端は N チャンネル MOSFET 15 のゲート G に接続されている。

#### 【0022】

MOSFET 15 のゲート G には、制御電圧  $V_t$  が抵抗 R 1 を介して入力され、ドレイン D とソース S は接地されている。

この場合、MOSFET 15 は電圧制御型可変容量素子として動作し、制御電圧  $V_t$  を変化させることで MOSFET 15 のゲート G とソース S (及びドレイン D) 間の容量を変化させることができる。

#### 【0023】

上述した MOSFET 12, 13、インダクタンス L 1、コンデンサ C 1 及び MOSFET 15 により LC 発振回路からなる発振部 11 が構成されている。

例えば、発振部 11 の発振周波数を、目的とする周波数の約 100 倍の 1 GHz に選定することで、発振部 11 のコンデンサ C 1 と MOSFET 15 で構成される可変容量素子の容量とインダクタンス L 1 の値を小さく設定でき、それらの素子を MOS 集積回路基板上に形成することが可能となる。

#### 【0024】

これにより、LC 発振回路のコンデンサ C 1、可変容量素子 (MOSFET 15) 及びインダクタンス L 1 を MOS 集積回路基板上に形成できるので外付けのコンデンサ (可変容量素子を含む)、コイル (インダクタンス) が不要となる。

MOSFET 12 のドレイン D にはコンデンサ C 2 が接続され、そのコンデンサ C 2 の他端はオペアンプ 16 の非反転入力端子に接続されている。オペアンプ 16 の反転入力端子は接地されている。

#### 【0025】

次に、以上のような構成の発振部 11 の動作を説明する。今、MOSFET 12 が導通状態にあるとすると、MOSFET 12 のソース、ドレインを通り、インダクタンス L 1 及びコンデンサ C 1 に電流が流れる。このとき、MOSFET 13 のゲートには、MOSFET 12 のドレイン電圧が印加され、MOSFET 13 はオフ状態となっているので、MOSFET 12 のドレイン電圧が MOSF

ET13のゲートGとドレインDを通りMOSFET12のソースに帰還され回路が発振する。このLC発振回路の発振周波数は、MOSFET15のゲートに印加する制御電圧 $V_t$ により可変することができる。

#### 【0026】

次に、図2は、発振部11とPLLシンセサイザ（制御電圧生成回路）21と分周回路22とからなる発振回路と、混合回路23を示すブロック図である。

PLLシンセサイザ21は、プログラマブルカウンタ24と、位相検波回路25と、ローパスフィルタ（LPF）26とで構成されている。

#### 【0027】

プログラマブルカウンタ24は、データ入力端子に入力される分周比設定データに基づいて、発振部11から入力される目的とする周波数 $f$ の $n$ 倍の周波数 $n \cdot f$ の信号（例えば、1GHzの信号）を分周して位相検波回路25に出力する。プログラマブルカウンタ24は、外部から設定可能な分周比データにより分周比を任意に変更することができる。この分周比を変更することで、発振部11の発振周波数を任意の周波数に変更できる。

#### 【0028】

目的とする周波数 $f$ の $n$ 倍の周波数 $n \cdot f$ は、集積回路基板上に所望の値のインダクタンスとコンデンサを形成できるような周波数であればよい。好ましい周波数 $n \cdot f$ は700MHz以上である。実施の形態においては、目的とする周波数 $f$ を約10MHzとしたときに、集積回路基板上にインダクタンスとコンデンサを形成できるように周波数 $n \cdot f$ を約1GHzに設定し、 $n$ の値を100に設定している。

#### 【0029】

位相検波回路25は、プログラマブルカウンタ24で分周された信号と、基準信号との位相差を検出する。

ローパスフィルタ（LPF）26は、位相検波回路25から出力される位相差に応じた信号の高域成分（カットオフ周波数より高い周波数の信号）を阻止し、直流の制御電圧 $V_t$ を発振部11へ出力する。

#### 【0030】

すなわち、PLLシンセサイザ21は、発振部11で生成される信号を所定の分周比で分周した信号の位相と基準信号の位相を比較し、両者の位相差に応じた直流の制御電圧 $V_t$ を生成し、その制御電圧 $V_t$ により発振部11の発振周波数を制御する。これにより、発振部11の発振周波数が目的とする周波数 $f$ の $n$ 倍の周波数 $n \cdot f$ に制御される。また、PLLシンセサイザ21は、プログラマブルカウンタ24で分周された信号の位相を基準信号の位相と同期させているので、発振部11の発振周波数の周波数精度を基準信号の周波数精度まで高めることができる。

#### 【0031】

分周回路22は、発振部11から出力される目的とする周波数 $f$ の $n$ 倍の周波数 $n \cdot f$ の信号を $1/k$ に分周する $1/k$ 分周回路27と、 $1/k$ 分周回路27の出力信号をさらに $1/2$ に分周する $1/2$ 分周回路28とからなる。 $1/2$ 分周回路28からは、周波数が同一で位相が $180^\circ$ 異なる2つの信号 $f_1$ 、 $f_2$ が出力される。なお、 $1/k$ 分周回路は、 $1/2$ 分周回路、 $1/3$ 分周回路等を組み合わせて構成することができる。

#### 【0032】

分周回路22により発振部11で生成された目的とする周波数 $f$ の $n$ 倍の周波数 $n \cdot f$ の信号が $1/n$ に分周され目的とする周波数 $f$ の信号に変換され、その信号が混合回路23に出力される。

混合回路23は、アンテナ部29で受信、同調され高周波増幅回路30で増幅され信号と、分周回路22から出力される同一の周波数で $180^\circ$ 位相の異なる局部発振信号 $f_1$ 、 $f_2$ とを混合して中間周波信号に変換する。

#### 【0033】

次に、以上のような構成の局部発信回路の動作を説明する。発振部11で生成された目的とする周波数 $f$ （例えば、 $10\text{MHz}$ ）の $n$ 倍の周波数 $n \cdot f$ の信号（例えば、 $1\text{GHz}$ の信号）は、プログラマブルカウンタ24により分周され、位相検波回路25において、分周された信号と基準信号の位相差が検出され、さらに、ローパスフィルタ26から位相差に応じた直流の制御電圧 $V_t$ が出力される。

## 【0034】

制御電圧  $V_t$  は、図 1 に示すように発振部 11 の MOSFET 15 のゲートに供給されており、制御電圧  $V_t$  に応じて MOSFET 15 のゲート、ソース（及びドレイン）間の容量が変化する。これにより、コンデンサ  $C_1$ 、MOSFET 15 の電極間容量、インダクタンス  $L_1$  及び MOSFET 12, 13 からなる発振部 11 の発振周波数が変化して発振周波数が目的とする周波数  $f$  の  $n$  倍の周波数  $n \cdot f$  となるように制御される。

## 【0035】

分周回路 22 は、発振部 11 から出力される信号を  $1/k$  に分周し、さらに  $1/2$  に分周する。分周回路 22 の全体の分周比は  $1/n$  に設計されており、発振部 11 で生成される目的とする周波数  $f$  の  $n$  倍の周波数  $n \cdot f$  の信号が、分周回路 22 で  $1/n$  に分周され目的とする周波数  $f$  の信号に変換される。

## 【0036】

なお、 $1/2$  分周回路 28 のデューティ比は 50% となっているので、基本波の高調波の中で偶数次の成分は発生せず、奇数次の成分のみが発生する。従って、混合回路 23 から出力される中間周波信号の高調波を除去するためのフィルタを、奇数次の高調波のみを除去するように設計すればよいので、フィルタの構成が簡単になる。これにより、MOS 集積回路基板上に形成するフィルタの面積を小さくできる。

## 【0037】

上述した実施の形態によれば、発振回路の発振周波数を目的とする周波数の  $n$  倍に設定することで、発振回路のインダクタンスとコンデンサ（可変容量素子を含む）の値を小さな値に設定することができる。従って、発振回路のインダクタンスと可変容量素子を MOS 集積回路基板上に形成することができ、インダクタンスと可変容量素子を集積回路の外（集積回路が実装されているプリント基板上）に実装する必要がなくなる。これにより、FM、AM 受信機の部品コスト及び組立てコストを低減することができる。

## 【0038】

なお、発振回路は、インダクタンスとコンデンサと可変容量素子と MOSFET

Tからなる回路に限らず、インダクタンスと可変容量素子とMOSFETとからなる回路で構成してもよい。

本発明は、上記の実施の形態に限定されず、以下のように構成しても良い。

(1) 発振部11の回路は、実施の形態で述べた発振回路に限らず、インダクタンスとコンデンサを用いる発振回路であればどのような発振回路にも適用できる。

(2) 発振回路の発振周波数は、電圧制御型可変容量素子に印加する電圧を制御する方法に限らず、電流制御、あるいは容量以外のインピーダンスを変化させても良い。

(3) 発振部の発振周波数を制御するための回路は、PLLシンセサイザ21に限らず、目的とする周波数のn倍の周波数となるように制御できる回路であれば良い。また、発振周波数が固定でよい場合には、プログラマブルカウンタを用いずに発振回路を構成してもよい。

(4) 本発明は、MOS集積回路に限らず、バイポーラトランジスタ集積回路、あるいはバイポーラトランジスタとMOSトランジスタとが混在する集積回路にも適用できる。

(5) 本発明は、FM、AM受信機等の専用のICに限らず、パソコン等の他の機器に組み込まれる無線通信用ICの発振回路にも適用できる。

## 【0039】

### 【発明の効果】

本発明によれば、発振回路のインダクタンスと可変容量素子を半導体集積回路基板上に形成することができるので外付け部品が不要となり、部品コスト、組立てコストを低減できる。また、発振回路の外付け部品をなくすことで半導体集積回路が実装される基板を小型化できる。

### 【図面の簡単な説明】

#### 【図1】

実施の形態の発振部の回路図である。

#### 【図2】

発振回路と混合回路を示すブロック図である。

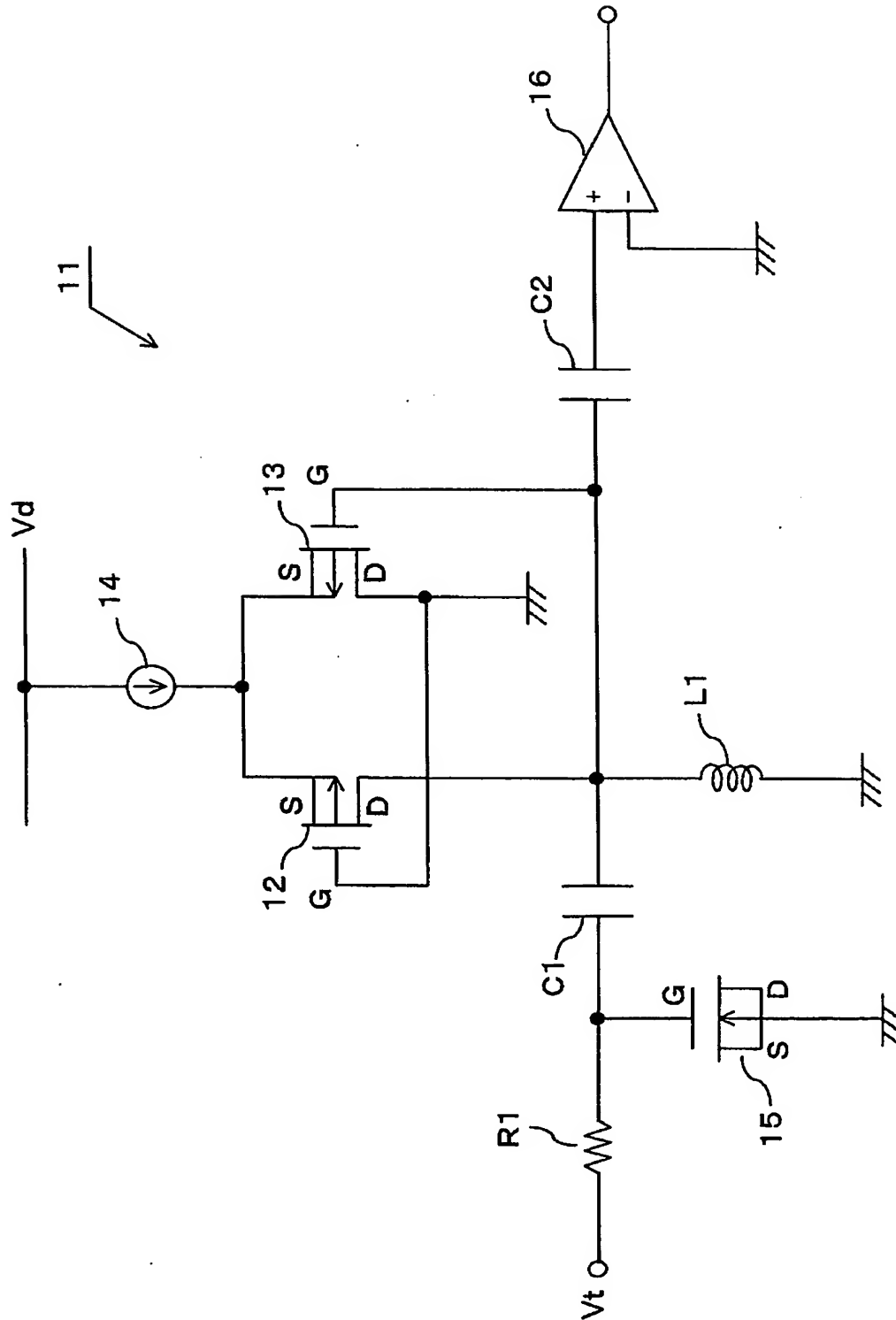
## 【符号の説明】

L 1	インダクタンス
C 1	コンデンサ
1 1	発振部
1 5	電圧制御型可変容量素子
2 1	周波数シンセサイザー
2 2	分周回路
2 3	混合回路

【書類名】

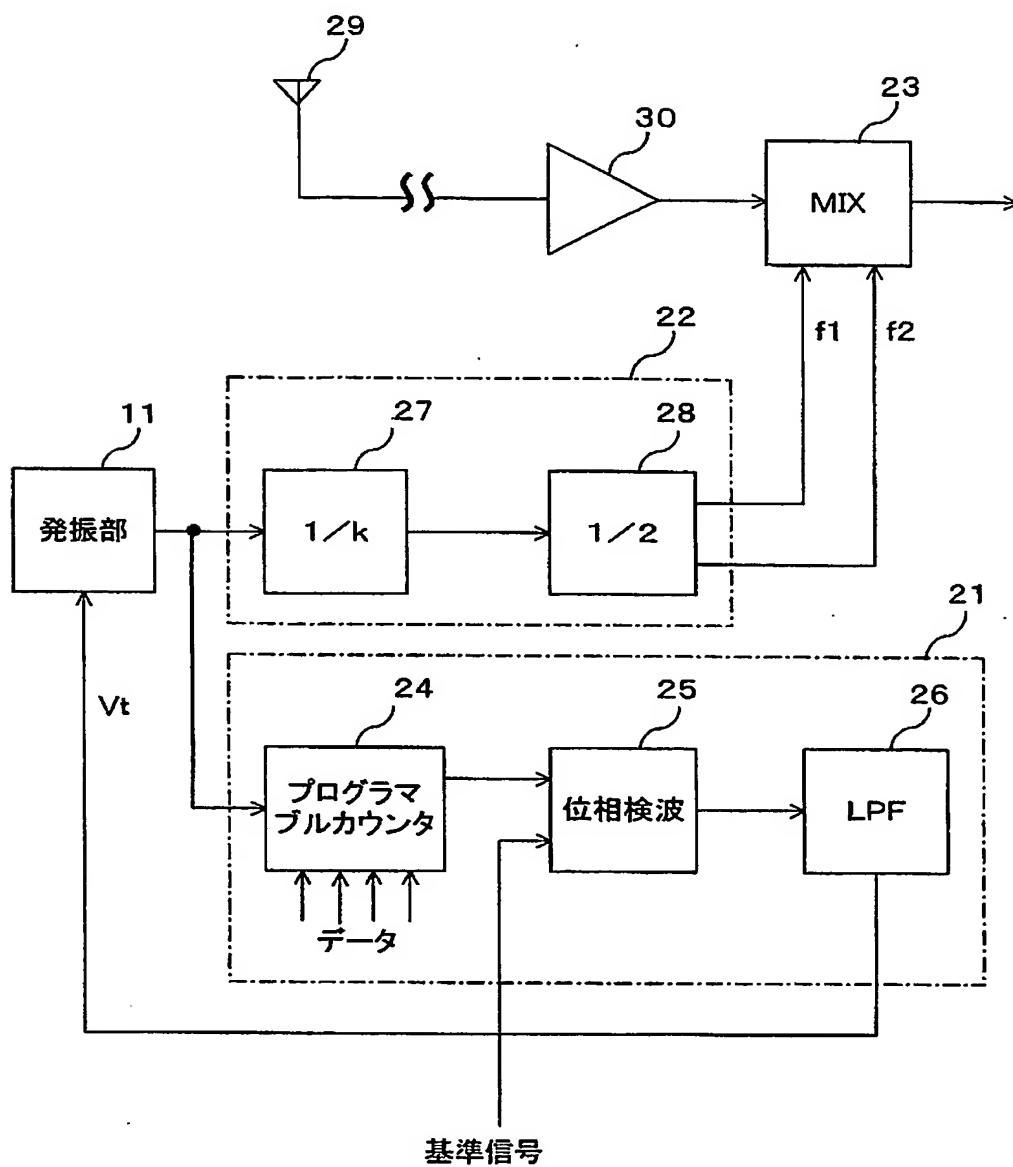
図面

【図 1】





【図 2】



【書類名】 要約書

【要約】

【課題】 半導体集積回路上に作成される発振回路の外付け部品をなくすることである。

【解決手段】 発振部 11 は、目的とする周波数  $f$  の  $n$  倍の周波数  $n \cdot f$  の信号を生成する。制御電圧生成回路 21 は、発振部 11 で生成される信号を分周した信号と、基準信号の位相を比較し、両者の位相差に応じた直流の制御電圧を発振部 11 に出力して発振周波数を制御する。分周回路 22 は、発振部 11 で生成される信号を  $1/n$  に分周して目的とする周波数  $f$  の信号に変換する。発振部の発振周波数を目的とする周波数の  $n$  倍にすることでインダクタンス及びコンデンサを半導体集積回路基板上に形成することができる。

【選択図】 図 2

特願 2002-248374

出願人履歴情報

識別番号

[000003218]

1. 変更年月日

2001年 8月 1日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町2丁目1番地

氏 名

株式会社豊田自動織機

特願 2002-248374

出願人履歴情報

識別番号

[591220850]

1. 変更年月日

1996年 5月 9日

[変更理由]

住所変更

住 所

新潟県上越市西城町2丁目5番13号

氏 名

新潟精密株式会社